

PAT-NO: JP02000236027A

DOCUMENT-IDENTIFIER: JP 2000236027 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: August 29, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
MITSUYA, SACHIKO	N/A
WAKITA, SHINICHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC KYUSHU LTD	N/A

APPL-NO: JP11037738

APPL-DATE: February 16, 1999

INT-CL (IPC): H01L021/8234, H01L027/088 , H01L027/04 , H01L021/822

ABSTRACT:

PROBLEM TO BE SOLVED: To allow charges stored on a metallic wiring line connected to a gate electrode of a transistor to escape for protecting a gate oxide film.

SOLUTION: Upon manufacturing a semiconductor device, when a metallic wiring line 12 is formed on a first interlayer insulating film on a semiconductor

substrate 54 by plasma etching, charges are stored not only the wiring line 12 but also on a metal wiring line 10. Since the wiring line 10 is close to the wiring line 12, possession of the potential of the wiring line 12 also cause possession of the potential of the wiring line 10, because of the electrostatic capacity between the wiring lines. As a result, a second transistor 58 is turned on, so that a gate electrode 104 of a first transistor 56 is connected to the substrate 54 at the location of a P-type diffused layer 505. Accordingly, charges stored on the line 12 are allowed to escape to the substrate 54 through the second transistor 58 to protect a gate oxide film 103 of the first transistor 56.

COPYRIGHT: (C)2000,JPO

DERWENT-ACC-NO: 2000-590914

DERWENT-WEEK: 200056

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Semiconductor device manufacturing method for large scale integrated circuit, involves connecting gate electrode of transistor to standard potential point of substrate by metal wiring extended on insulation film

PATENT-ASSIGNEE: NEC KYUSHU LTD[KYUN]

PRIORITY-DATA: 1999JP-0037738 (February 16, 1999)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 2000236027 A	August 29, 2000	N/A	011	H01L021/8234

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2000236027A	N/A	1999JP-0037738	February 16, 1999

INT-CL (IPC): H01L021/822, H01L021/8234 , H01L027/04 , H01L027/088

ABSTRACTED-PUB-NO: JP2000236027A

BASIC-ABSTRACT:

NOVELTY - Transistors (56,58) are formed on a semiconductor substrate (54).

The gate electrode (204) of transistor (58) is connected to fourth metal wiring

extended on a first insulation film, which is formed on semiconductor

substrate.

The gate electrode of transistor (58) is connected to a standard potential point on substrate by fifth metal wiring extended on second insulation film.

DETAILED DESCRIPTION - The drain or source of transistor (58) is connected to

gate electrode of transistor (56) via second metal wiring extended on first insulation film formed on semiconductor substrate. The source or drain of transistor (58) is connected to the standard potential point of substrate by a

third metal wiring extended on the first layer insulation film.

USE - In manufacture of semiconductor device for large scale integrated circuit.

ADVANTAGE - Since electric charge stored to metal wiring, that is connected to

gate electrode of transistor is escaped, gate oxide film is not damaged and gate electrode of transistor is not destroyed.

DESCRIPTION OF DRAWING(S) - The figure shows the top view of semiconductor device.

Semiconductor substrate 54

Transistors 56,58

Gate electrode 204

CHOSEN-DRAWING: Dwg.1/5

DERWENT-CLASS: U11

EPI-CODES: U11-C05D3; U11-C05D4; U11-C05F1; U11-C18A3;

(11)特許出願公開番号

特開2000-236027

(P2000-236027A)

(43)公開日 平成12年8月29日(2000.8.29)

(51)Int.Cl.	識別記号	F I	ページト*(参考)
H 0 1 L 21/8234		H 0 1 L 27/08	1 0 2 F 5 F 0 3 8
27/088		27/04	H 5 F 0 4 8
27/04			
21/822			

審査請求 有 請求項の数4 OL (全 11 頁)

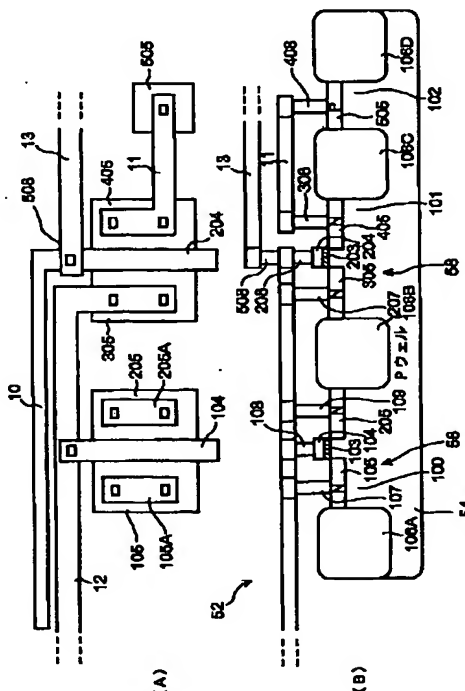
(21)出願番号	特願平11-37738	(71)出願人	000164450 九州日本電気株式会社 熊本県熊本市八幡一丁目1番1号
(22)出願日	平成11年2月16日(1999.2.16)	(72)発明者	三津家 祥子 熊本県熊本市八幡1-1-1 九州日本電気株式会社内
		(72)発明者	脇田 伸一 熊本県熊本市八幡1-1-1 九州日本電気株式会社内
		(74)代理人	100089875 弁理士 野田 茂
		Fターム(参考)	5F038 BH07 BH12 BH13 5F048 AA02 CC08 CC15 CC18

(54)【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 トランジスタのゲート電極に接続された金属配線に蓄積する電荷を逃がしてゲート酸化膜を保護する。

【解決手段】 製造時に、半導体基板54上の第1の層間絶縁膜の上に金属配線12などをプラズマエッチングにより形成する際、金属配線12とともに金属配線10にも電荷が蓄積する。また金属配線10が金属配線12と接近しているので金属配線間の静電容量により、金属配線12が電位を持つと金属配線10も電位を持つ。その結果、第2のトランジスタ58はオンして第1のトランジスタ56のゲート電極104は第2のトランジスタ58を通じ、P型拡散層505の箇所では半導体基板54に接続される。したがって金属配線12に蓄積した電荷は第2のトランジスタ58を通じて半導体基板54に逃がすことができ、第1のトランジスタ56のゲート酸化膜103を保護できる。



【特許請求の範囲】

【請求項1】 半導体基板上に第1のトランジスタが形成され、前記第1のトランジスタのゲート電極と前記半導体基板との間には絶縁膜が介在され、前記第1のトランジスタの前記ゲート電極は、前記半導体基板上に形成された第1の層間絶縁膜の上に延在する第1の金属配線に接続されている半導体装置であって、前記半導体基板上に形成された第2のトランジスタを含み、

前記第2のトランジスタのドレイン（またはソース）は、前記半導体基板上に形成された前記第1の層間絶縁膜の上に延在する第2の金属配線により前記第1のトランジスタの前記ゲート電極に接続され、前記第2のトランジスタのソース（またはドレイン）は、前記第1の層間絶縁膜の上に延在する第3の金属配線により前記半導体基板上の基準電位点に接続され、前記第2のトランジスタのゲート電極は前記第1の層間絶縁膜上に延在する第4の金属配線に接続され、前記第4の金属配線の他端は電氣的に開放され、前記第2のトランジスタの前記ゲート電極はさらに、前記第1の層間絶縁膜の上に形成された第2の層間絶縁膜の上に延在する第5の金属配線により前記半導体基板上の基準電位点に接続されていることを特徴とする半導体装置。

【請求項2】 前記第4の金属配線は前記第1の金属配線に近接し、かつほぼ平行に延設されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第4の金属配線は蛇行して形成されていることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記第2のトランジスタは、ドレインとソースとの間に形成された素子分離用の絶縁膜と、この絶縁膜の上に形成された第2のゲート酸化膜とを含み、前記第2のトランジスタの前記ゲート電極は前記第2のゲート酸化膜の上に形成されていることを特徴とする請求項1記載の半導体装置。

【請求項5】 前記第1の層間絶縁膜の上に延在し前記第2のトランジスタの前記ゲート電極に接続された第6の金属配線を含み、前記第6の金属配線は前記第2のトランジスタの前記ゲート電極の真上に前記ゲート電極とほぼ平行に延在し、前記ゲート電極より幅広に形成されていることを特徴とする請求項4記載の半導体装置。

【請求項6】 前記第1および第2のトランジスタは前記半導体基板上に形成された素子分離用の絶縁膜を挟み隣接して配置されていることを特徴とする請求項1記載の半導体装置。

【請求項7】 第1および第2のトランジスタのソースおよびドレインは同一の導電型の半導体により形成されていることを特徴とする請求項1記載の半導体装置。

【請求項8】 前記第1の層間絶縁膜上にプラズマエッチングにより前記第1および第4の金属配線を形成する

際に、前記第4の金属配線に電荷が蓄積して前記第4の金属配線の電位が上昇し、前記第2のトランジスタが導通状態になることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関し、特に半導体基板上に絶縁膜を介しゲート電極を形成して成るトランジスタを含む半導体装置に関するものである。

【0002】

【従来の技術】MOS型電界効果トランジスタを含むLSI（大規模集積回路）では、近年、LSIの高速化、高集積化にともなって上記トランジスタを構成するゲート酸化膜の薄膜化が図られている。しかし、ゲート酸化膜を薄くすると、層間絶縁膜のコンタクト孔や、アルミニウムなどの金属配線、あるいはViaホールなどの形成のためにプラズマエッチングを行う際、ゲート酸化膜がプラズマにより損傷あるいは破壊され易くなり、製造歩留まりが低下するという問題が発生する。

【0003】プラズマによるゲート酸化膜の損傷あるいは破壊は、プラズマエッチングプロセスにおいて、ゲート電極に接続された金属配線に電荷が蓄積してゲート電極の電圧が異常に高まり、ゲート酸化膜の絶縁破壊が生じることに起因している。電荷の蓄積はゲート電極に接続された金属配線が長いほど大きく、また近接して延在する他の金属配線との間隔が狭いほど大きい。このように金属配線に電荷が蓄積する現象はアンテナ効果と呼ばれている。

【0004】アンテナ効果に対処すべく、例えば特開平5-308139号公報には、プラズマエッチングを行う段階ではゲート電極を金属配線により半導体基板に接続して電荷を逃がすようにしておき、プラズマエッチングの後、上記金属配線をレーザ光線により切断するという技術が開示されている。また、特開平10-154808号公報には、ゲート電極に接続された金属配線に近接してダミー配線を設け、プラズマエッチング時に電荷を分散させることでゲート電極に接続された金属配線への電荷の蓄積を緩和する技術が開示されている。

【0005】

【発明が解決しようとする課題】しかし、特開平5-308139号公報に開示されている技術では、金属配線をレーザ光線により切断しなければならず、そのための工程を追加する必要がある。一方、特開平10-154808号公報に開示されている技術では、ゲート電極に接続された金属配線の電荷を逃がすことはできないので、プラズマエッチングによる電荷の蓄積が大きい場合には、ゲート酸化膜を十分に保護できない虞がある。

【0006】本発明はこのような問題を解決するためになされたもので、その目的は、プラズマエッチングなど

の際にトランジスタのゲート電極に接続された金属配線に蓄積する電荷を逃がすことができ、しかも新たな工程を追加することなく製造できる半導体装置を提供することにある。

【0007】

【課題を解決するための手段】本発明は、上記目的を達成するため、半導体基板上に第1のトランジスタが形成され、前記第1のトランジスタのゲート電極と前記半導体基板との間には絶縁膜が介在され、前記第1のトランジスタの前記ゲート電極は、前記半導体基板上に形成された第1の層間絶縁膜の上に延在する第1の金属配線に接続されている半導体装置であって、前記半導体基板上に形成された第2のトランジスタを含み、前記第2のトランジスタのドレイン（またはソース）は、前記半導体基板上に形成された前記第1の層間絶縁膜の上に延在する第2の金属配線により前記第1のトランジスタの前記ゲート電極に接続され、前記第2のトランジスタのソース（またはドレイン）は、前記第1の層間絶縁膜の上に延在する第3の金属配線により前記半導体基板上の基準電位点に接続され、前記第2のトランジスタのゲート電極は前記第1の層間絶縁膜上に延在する第4の金属配線に接続され、前記第4の金属配線の他端は電気的に開放され、前記第2のトランジスタの前記ゲート電極はさらに、前記第1の層間絶縁膜の上に形成された第2の層間絶縁膜の上に延在する第5の金属配線により前記半導体基板上の基準電位点に接続されていることを特徴とする。

【0008】本発明の半導体装置では、その製造時に、第1の層間絶縁膜の上に形成する金属配線や、この金属配線と第1の層間絶縁膜下の電極などを接続するためのコンタクト孔などを例えばプラズマエッチングにより形成する際、第1のトランジスタのゲート電極に接続され第1の層間絶縁膜上に延在する第1の金属配線に電荷が蓄積しても、その電荷は第2のトランジスタの作用により逃がすことができる。すなわち、プラズマエッチングの際、電荷は第1の金属配線とともに第4の金属配線にも蓄積する。また、第4の金属配線が第1の金属配線と接近している場合には金属配線間の静電容量により、第1の金属配線が電位を持つと第4の金属配線も電位を持つようになる。

【0009】したがって、プラズマエッチングの際に第4の金属配線が高電位となり、その結果、第2のトランジスタはオンして導通状態になる。これにより、第1のトランジスタのゲート電極は、第2の金属配線、第2のトランジスタ、ならびに第3の金属配線を通じて半導体基板上の基準電位点に接続され、第1の金属配線に蓄積した電荷は基準電位点に逃げる。

【0010】よって、本発明の半導体装置では、製造時にプラズマエッチングなど、金属配線に電荷が蓄積するようなプロセスを行っても、第1のトランジスタのゲ

ート電極が高電位となってゲート酸化膜が損傷されたり破壊されることがない。そして、第2のトランジスタや関連する金属配線などは他のトランジスタや他の金属配線と同一の工程で形成できるので、本発明の半導体装置を製造するために新たな工程を追加する必要はない。

【0011】

【発明の実施の形態】次に本発明の実施の形態例について図面を参照して説明する。図1の(A)は本発明による半導体装置の一例を示す部分平面図、(B)は同部分断面側面図、図2は図1の半導体装置を示す斜視図である。これらの図面に示したように、本実施の形態例の半導体装置52は、P型の半導体基板54上に形成された第1のトランジスタ56および第2のトランジスタ58を含んで構成され、第1および第2のトランジスタ56、58は共にMOS型電界効果トランジスタである。半導体基板54には、素子分離用の酸化膜による絶縁膜106A、106B、106C、106Dが形成されている。そして第1のトランジスタ56は絶縁膜106Aと絶縁膜106Bとの間に形成され、第2のトランジスタ58は絶縁膜106Bと絶縁膜106Cとの間に形成されている。

【0012】第1のトランジスタ56は、半導体基板54の表面に形成されたN型拡散層105およびN型拡散層205を含み、これらの拡散層はそれぞれ第1のトランジスタ56のドレインおよびソースを構成している。N型拡散層105、205の間の半導体基板54上の箇所にはゲート酸化膜103が形成され、その上にゲート電極104が形成されている。なお、N型拡散層105、205の下にはPウェル100が形成されている。

【0013】一方、第2のトランジスタ58は、半導体基板54の表面に形成されたN型拡散層305およびN型拡散層405を含み、これらの拡散層はそれぞれドレインおよびソースを構成している。N型拡散層305、405の間の半導体基板54上の箇所にはゲート酸化膜203が形成され、その上にゲート電極204が形成されている。なお、N型拡散層305、405の下にはPウェル101が形成されている。ゲート酸化膜103、203はたとえば80Åの厚さに形成することができ、ゲート電極104、204の長さは例えば0.2μmに形成することができる。また、絶縁膜106C、106D間の半導体基板表面には、本発明にかかわる基準電位点となるP型拡散層505が形成されている。P型拡散層505の下にはPウェル102が形成されている。

【0014】第1および第2のトランジスタ56、58およびP型拡散層505の上には不図示の第1の層間絶縁膜が形成され、第1の層間絶縁膜の上に第1の金属配線12、第3の金属配線11、第4の金属配線10が形成されている。これらの金属配線の幅は例えば0.3μmとすることができる。第1の金属配線12は第1の層間絶縁膜中に形成されたコンタクト108を介して第1

のトランジスタ56のゲート電極104に接続されている。第1の金属配線12は本発明にかかわる第2の金属配線を兼ねており、第1の金属配線12の端部は第1の層間絶縁膜中に形成されたコンタクト207を介して第2のトランジスタ58のN型拡散層305（ドレイン）に接続されている。

【0015】また、第1のトランジスタ56のN型拡散層105、205はそれぞれ第1の層間絶縁膜中に形成されたコンタクト107、109を介して第1の層間絶縁膜上の金属配線105A、205Aにそれぞれ接続されている。一方、第3の金属配線11の一端は、第1の層間絶縁膜中に形成されたコンタクト308を介して第2のトランジスタ58のN型拡散層405（ソース）に接続され、他端はコンタクト408を介してP型拡散層505に接続されている。

【0016】そして、第4の金属配線10は、その一端が第1の層間絶縁膜中に形成されたコンタクト208を介して第2のトランジスタ58のゲート電極204に接続され、他端は電氣的にいずれの箇所にも接続されず電氣的に開放されている。第4の金属配線10は本実施の形態例では第1の金属配線12に近接し、かつ第1の金属配線12に対してほぼ平行に延設されている。

【0017】第1の層間絶縁膜の上にはさらに不図示の第2の層間絶縁膜が堆積され、その上に例えば幅が0.3μmの第5の金属配線13が延設されている。第5の金属配線13の一端は、第2の層間絶縁膜中に形成されたコンタクト508を介して第4の金属配線10に接続され、他端は不図示の基準電位点（グランド）に接続されている。なお、上記各金属配線は例えばアルミニウムにより形成することができる。

【0018】次に、このような構造の半導体装置52を製造する際に、第1のトランジスタ56のゲート酸化膜103がいかに保護されるかについて説明する。第1の層間絶縁膜上に第1、第3、第4の金属配線12、11、10を形成する際、例えばプラズマエッチングを行ったとすると、第1および第4の金属配線12、10は比較的配線長が長いことから、これらの金属配線にはプラズマにより電荷が蓄積し易く、第1および第4の金属配線12、10の電位が上昇する。したがって、そのままでは第1のトランジスタ56のゲート酸化膜103に高電圧が印加され、ゲート酸化膜103が損傷したり破壊される場合が生じることになる。しかし、本実施の形態例では、第2のトランジスタ58の作用により、第1の金属配線12に蓄積した電荷が半導体基板54に逃がされ、ゲート酸化膜103が保護される。

【0019】すなわち、プラズマエッチングの際、上述のように第1の金属配線12と共に第4の金属配線10にも電荷が蓄積し、第4の金属配線10の電位も上昇する。また、第1および第4の金属配線12、10は近接してほぼ平行に延在しているため、これらの金属配線間

には比較的高い静電容量が形成されており、その結果、第1の金属配線12が電位を持つと、第4の金属配線10も電位を持つことになる。

【0020】図3は第1および第4の金属配線12、10周辺の等価回路を示す回路図である。図中、C1は第1の金属配線12とグランドとの間に形成される静電容量、C2は第1および第4の金属配線12、10間の静電容量、C3は第4の金属配線10とグランドとの間の静電容量を表している。そして、第1の金属配線12の電位が電荷の蓄積によりV1になったとすると、その結果、第4の金属配線10の電位V2は、 $V2 = C3 / (C3 + C2) \times V1$ となる。

【0021】このように、プラズマエッチングの際、第4の金属配線10は、自身における電荷の蓄積と、第1の金属配線12からの影響で電位が上昇する。そして、第4の金属配線10の電位が、第2のトランジスタ58のゲートしきい値電圧（通常、0.8V程度）を越えると、第2のトランジスタ58のドレイン-ソース間は導通状態になり、第1のトランジスタ56のゲート電極104は、第1の金属配線12、第2のトランジスタ58、ならびに第3の金属配線11を通じてP型拡散層505、したがって半導体基板54に接続され、第1の金属配線12に蓄積した電荷は半導体基板54に逃げる。これにより、第1の金属配線12の電位上昇は解消され、ゲート酸化膜103の損傷や破壊が防止される。

【0022】なお、上記第2の層間絶縁膜上に第5の金属配線13を形成した段階で、第2のトランジスタ58のゲート電極204はグランドに接続されるので、半導体装置52が完成した状態では、第2のトランジスタ58が導通状態になることはなく、第1のトランジスタ56の本来の機能が損なわれることはない。

【0023】次に、本発明の第2の実施の形態例について説明する。図4の（A）は本発明の第2の実施の形態例を示す部分平面図、（B）は同断面側面図、図5は図4の半導体装置を示す斜視図である。図中、図1などと同一の要素には同一の符号が付されており、それらに関する説明はここでは省略する。

【0024】図4、図5に示した半導体装置62は、第2のトランジスタ58Bの構成と、第4の金属配線10Bの形態および位置の点で上記半導体装置52と異なっている。すなわち、第2のトランジスタ58Bは、N型拡散層305とN型拡散層405との間に形成され上部が半導体基板54より若干突出した素子分離用の絶縁膜106Eを含み、ゲート酸化膜203（本発明にかかわる第2のゲート酸化膜）は絶縁膜106Eの上に形成され、さらにその上にゲート電極204が形成されている。上記第1の層間絶縁膜の上には、第2のトランジスタ58Bのゲート電極204に接続された第6の金属配線3が形成されている。第6の金属配線3は第2のトランジスタ58Bのゲート電極204の真上にゲート電極

204と平行に延在し、ゲート電極より幅広に形成されて、図4の(A)に示したように、両側部は、N型拡散層305、405の側部上に若干せり出した状態になっている。また、半導体装置62では、第4の金属配線10Bは、図4の(A)に示したように蛇行して形成されている。そして、本実施の形態例では、第1の金属配線12から比較的離れた位置に配設されている。

【0025】この第2の実施の形態例では、上述のように絶縁膜106Eの上にゲート酸化膜203が形成され、全体として第2のトランジスタ58Bのゲート酸化膜は非常に厚くなっている。したがって、第1の金属配線12などを形成する際のプラズマエッチングによって、第4の金属配線10Bに、より多量の電荷が蓄積し、第2のトランジスタ58Bのゲート電圧が大きく上昇しても、第2のトランジスタ58Bのゲート酸化膜が破壊されることはない。したがって、半導体装置52の場合より第2のトランジスタ58Bのゲート電位が上昇し易い条件に設定することができ、第1の金属配線12に電荷が蓄積した際に第2のトランジスタ58Bを確実に導通状態にさせて、第1のトランジスタ56のゲート酸化膜103の損傷や破壊をいっそう充分に防止することが可能となる。

【0026】また、本実施の形態例では、第6の金属配線3は上述のように幅広に形成されているので、第6の金属配線3により生成される電界の影響が直下の半導体基板54の箇所に及び易く、第2のトランジスタ58Bがオンした際のオン抵抗が小さくなる。その結果、第1の金属配線12に蓄積した電荷が第2のトランジスタ58Bを通じて流れ易くなり、第1のトランジスタ56のゲート酸化膜103をいっそう確実に保護できる。

【0027】さらに、本実施の形態例では第4の金属配線10Bが上述のように蛇行して形成されているので、第4の金属配線10Bを半導体基板54の比較的狭い領域に形成しても、充分な長さとすることができ、プラズマエッチング時に充分な量の電荷を蓄積して、第2のトランジスタ58Bを導通状態にさせることができる。

【0028】なお、上記実施の形態例では、N型拡散層305がドレインを構成し、N型拡散層405がソースを構成しているとしたが、逆に、N型拡散層305がソース、N型拡散層405がドレインであっても、上記効果が損なわれることはない。また、上記実施の形態例では半導体基板54はP型半導体から成るとしたが、半導体基板54がN型の場合にも本発明は無論有効である。

【0029】

【発明の効果】以上説明したように本発明の半導体装置では、その製造時に、第1の層間絶縁膜の上に形成する金属配線や、この金属配線と第1の層間絶縁膜下の電極などとを接続するためのコンタクト孔などを例えばプラ

ズマエッチングにより形成する際、第1のトランジスタのゲート電極に接続され第1の層間絶縁膜上に延在する第1の金属配線に電荷が蓄積しても、その電荷は第2のトランジスタの作用により逃がすことができる。すなわち、プラズマエッチングの際、電荷は第1の金属配線とともに第4の金属配線にも蓄積する。また、第4の金属配線が第1の金属配線と接近している場合には金属配線間の静電容量により、第1の金属配線が電位を持つと第4の金属配線も電位を持つようになる。

【0030】したがって、プラズマエッチングの際に第4の金属配線が高電位となり、その結果、第2のトランジスタはオンして導通状態になる。これにより、第1のトランジスタのゲート電極は、第2の金属配線、第2のトランジスタ、ならびに第3の金属配線を通じて半導体基板上の基準電位点に接続され、第1の金属配線に蓄積した電荷は基準電位点に逃げる。

【0031】よって、本発明の半導体装置では、製造時にプラズマエッチングなど、金属配線に電荷が蓄積するようなプロセスを行っても、第1のトランジスタのゲート電極が高電位となってゲート酸化膜が損傷されたり破壊されることがない。そして、第2のトランジスタや関連する金属配線などは他のトランジスタや他の金属配線と同一の工程で形成できるので、本発明の半導体装置を製造するために新たな工程を追加する必要はない。

【図面の簡単な説明】

【図1】(A)は本発明による半導体装置の一例を示す部分平面図、(B)は同部分断面側面図である。

【図2】図1の半導体装置を示す斜視図である。

【図3】第1および第4の金属配線周辺の等価回路を示す回路図である。

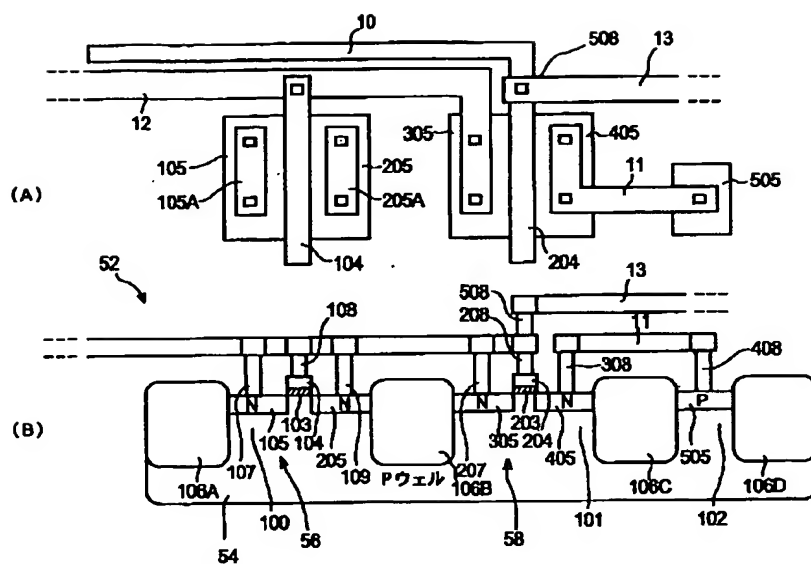
【図4】(A)は本発明の第2の実施の形態例を示す部分平面図、(B)は同部分断面側面図である。

【図5】図4の半導体装置を示す斜視図である。

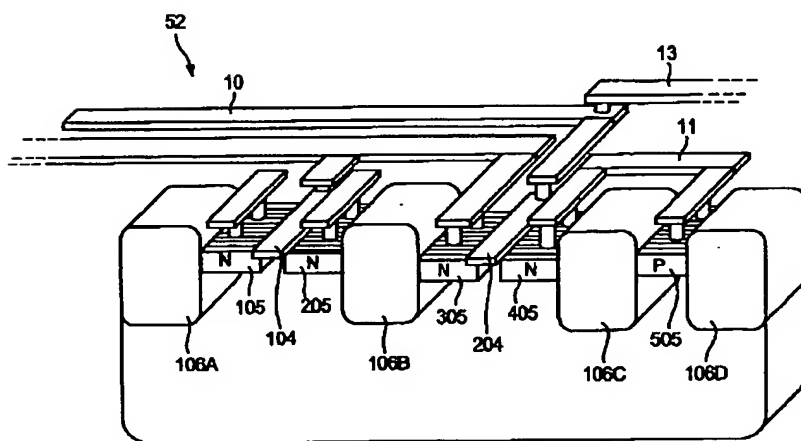
【符号の説明】

3……第6の金属配線、10……第4の金属配線、11……第3の金属配線、12……第1の金属配線、13……第5の金属配線、52……半導体装置、54……半導体基板、56……第1のトランジスタ、58……第2のトランジスタ、58B……第2のトランジスタ、62……半導体装置、100……Pウェル、101……Pウェル、102……Pウェル、103……ゲート酸化膜、104……ゲート電極、105……N型拡散層、106A……絶縁膜、106B……絶縁膜、106C……絶縁膜、106D……絶縁膜、106E……絶縁膜、203……ゲート酸化膜、204……ゲート電極、205……N型拡散層、305……N型拡散層、405……N型拡散層、505……P型拡散層。

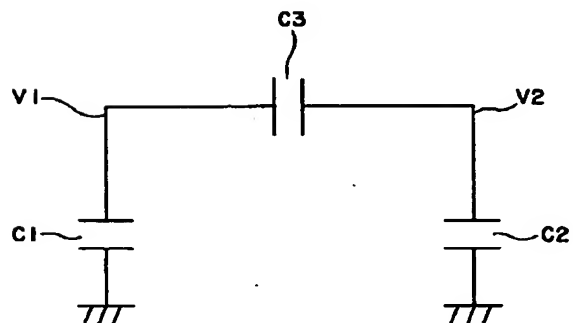
【図1】



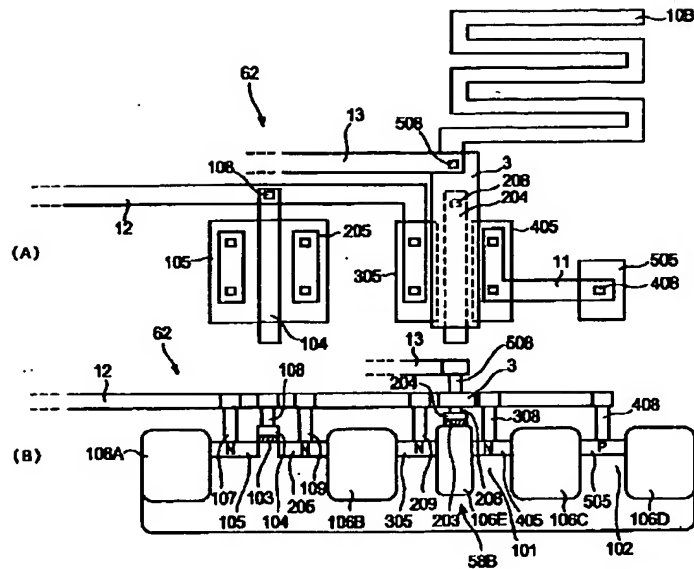
【図2】



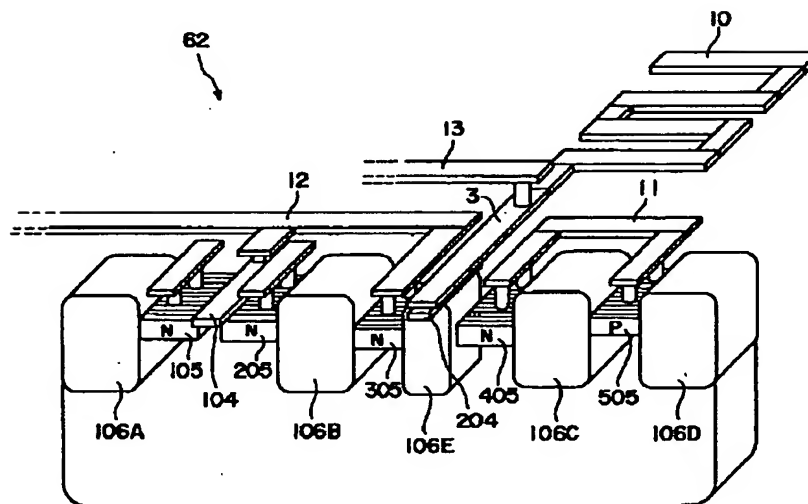
【図3】



【図4】



【図5】



【手続補正書】

【提出日】平成12年3月31日(2000. 3. 31)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 半導体装置の製造方法

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 半導体基板上に第1のトランジスタが形成され、前記第1のトランジスタのゲート電極と前記半

導体基板との間には絶縁膜が介在され、前記第1のトランジスタの前記ゲート電極は、前記半導体基板上に形成された第1の層間絶縁膜の上に延在する第1の金属配線に接続されている半導体装置であり、前記半導体基板上に形成された第2のトランジスタを含み、前記第2のトランジスタのドレイン（またはソース）は、前記半導体基板上に形成された前記第1の層間絶縁膜の上に延在する第2の金属配線により前記第1のトランジスタの前記ゲート電極に接続され、前記第2のトランジスタのソース（またはドレイン）は、前記第1の層間絶縁膜の上に延在する第3の金属配線により前記半導体基板上の基準電位点に接続され、前記第2のトランジスタのゲート電極は前記第1の層間絶縁膜の上に延在する第4の金属配線に接続され、前記第4の金属配線の他端は電気的に開放され、前記第2のトランジスタの前記ゲート電極はさらに、前記第1の層間絶縁膜の上に形成された第2の層間絶縁膜の上に延在する第5の金属配線により前記半導体基板上の基準電位点に接続されている半導体装置を製造する方法であって、

前記第4の金属配線は、蛇行して形成するか、または前記第1の金属配線に近接すると共に第1の金属配線とほぼ平行に形成し、

前記第1および第4の金属配線は、前記第1の層間絶縁膜の上にプラズマエッチングにより同時に形成し、このプラズマエッチングの際に、前記第4の金属配線に蓄積する電荷により前記第4の金属配線の電位を上昇させ、前記第2のトランジスタを導通状態にさせて前記第1のトランジスタのゲート電極と前記半導体基板との間の前記絶縁膜の損傷を防止することを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上に第1のトランジスタが形成され、前記第1のトランジスタのゲート電極と前記半導体基板との間には絶縁膜が介在され、前記第1のトランジスタの前記ゲート電極は、前記半導体基板上に形成された第1の層間絶縁膜の上に延在する第1の金属配線に接続されている半導体装置であり、前記半導体基板上に形成された第2のトランジスタを含み、前記第2のトランジスタのドレイン（またはソース）は、前記半導体基板上に形成された前記第1の層間絶縁膜の上に延在する第2の金属配線により前記第1のトランジスタの前記ゲート電極に接続され、前記第2のトランジスタのソース（またはドレイン）は、前記第1の層間絶縁膜の上に延在する第3の金属配線により前記半導体基板上の基準電位点に接続され、前記第2のトランジスタのゲート電極は前記第1の層間絶縁膜の上に延在する第4の金属配線に接続され、前記第4の金属配線の他端は電気的に開放され、前記第2のトランジスタの前記ゲート電極はさらに、前記第1の層間絶縁膜の上に形成された第2の層間絶縁膜の上に延在する第5の金属配線により前記半導体基板上の基準電位点に接続され、前記第2のトランジスタは、ドレインとソースとの間に形成された素子分離用の絶縁膜と、この絶縁膜の上に形成された第2のゲート酸化膜とを含み、前記第2のトランジスタの前記ゲート電極は前記第2のゲート酸化膜の上に形成され、前記第1の層間絶縁膜の上に延在し前記第2のトランジスタの前記ゲート電極に接続された第6の金属配線をさらに含む半導体装置を製造する方法であって、

前記第6の金属配線は前記第2のトランジスタの前記ゲート電極の真上に前記ゲート電極とほぼ平行に形成すると共に前記ゲート電極より幅広に形成し、

前記第1、第4、ならびに第6の金属配線は、前記第1の層間絶縁膜の上にプラズマエッチングにより同時に形成し、

このプラズマエッチングの際に、前記第4の金属配線に蓄積する電荷により前記第4の金属配線の電位を上昇させ、前記第2のトランジスタを導通状態にさせて前記第1のトランジスタのゲート電極と前記半導体基板との間の前記絶縁膜の損傷を防止することを特徴とする半導体装置の製造方法。

【請求項3】 前記第1および第2のトランジスタは前記半導体基板上に形成された素子分離用の絶縁膜を挟み隣接して配置されていることを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項4】 前記第1および第2のトランジスタのソースおよびドレインは同一の導電型の半導体により形成されていることを特徴とする請求項1または2に記載の半導体装置の製造方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特に半導体基板上に絶縁膜を介しゲート電極を形成して成るトランジスタを含む半導体装置を製造する方法に関するものである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】本発明はこのような問題を解決するためになされたもので、その目的は、プラズマエッチングの際にトランジスタのゲート電極に接続された金属配線に蓄積する電荷を逃がすことができ、しかも新たな工程を追加する必要のない半導体装置の製造方法を提供することにある。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】

【課題を解決するための手段】本発明は、上記目的を達成するため、半導体基板上に第1のトランジスタが形成され、前記第1のトランジスタのゲート電極と前記半導体基板との間には絶縁膜が介在され、前記第1のトランジスタの前記ゲート電極は、前記半導体基板上に形成された第1の層間絶縁膜の上に延在する第1の金属配線に接続されている半導体装置であり、前記半導体基板上に形成された第2のトランジスタを含み、前記第2のトランジスタのドレイン（またはソース）は、前記半導体基板上に形成された前記第1の層間絶縁膜の上に延在する第2の金属配線により前記第1のトランジスタの前記ゲート電極に接続され、前記第2のトランジスタのソース（またはドレイン）は、前記第1の層間絶縁膜の上に延在する第3の金属配線により前記半導体基板上の基準電位点に接続され、前記第2のトランジスタのゲート電極は前記第1の層間絶縁膜上に延在する第4の金属配線に接続され、前記第4の金属配線の他端は電気的に開放され、前記第2のトランジスタの前記ゲート電極はさらに、前記第1の層間絶縁膜の上に形成された第2の層間絶縁膜の上に延在する第5の金属配線により前記半導体基板上の基準電位点に接続されている半導体装置を製造する方法であって、前記第4の金属配線は、蛇行して形成するか、または前記第1の金属配線に近接すると共に第1の金属配線とはほぼ平行に形成し、前記第1および第4の金属配線は、前記第1の層間絶縁膜の上にプラズマエッチングにより同時に形成し、このプラズマエッチングの際に、前記第4の金属配線に蓄積する電荷により前記第4の金属配線の電位を上昇させ、前記第2のトランジスタを導通状態にさせて前記第1のトランジスタのゲート電極と前記半導体基板との間の前記絶縁膜の損傷を防止することを特徴とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】また、本発明は、半導体基板上に第1のトランジスタが形成され、前記第1のトランジスタのゲート電極と前記半導体基板との間には絶縁膜が介在され、前記第1のトランジスタの前記ゲート電極は、前記半導体基板上に形成された第1の層間絶縁膜の上に延在する第1の金属配線に接続されている半導体装置であり、前記半導体基板上に形成された第2のトランジスタを含み、前記第2のトランジスタのドレイン（またはソース）は、前記半導体基板上に形成された前記第1の層間絶縁膜の上に延在する第2の金属配線により前記第1の

トランジスタの前記ゲート電極に接続され、前記第2のトランジスタのソース（またはドレイン）は、前記第1の層間絶縁膜の上に延在する第3の金属配線により前記半導体基板上の基準電位点に接続され、前記第2のトランジスタのゲート電極は前記第1の層間絶縁膜上に延在する第4の金属配線に接続され、前記第4の金属配線の他端は電気的に開放され、前記第2のトランジスタの前記ゲート電極はさらに、前記第1の層間絶縁膜の上に形成された第2の層間絶縁膜の上に延在する第5の金属配線により前記半導体基板上の基準電位点に接続され、前記第2のトランジスタは、ドレインとソースとの間に形成された素子分離用の絶縁膜と、この絶縁膜の上に形成された第2のゲート酸化膜とを含み、前記第2のトランジスタの前記ゲート電極は前記第2のゲート酸化膜の上に形成され、前記第1の層間絶縁膜の上に延在し前記第2のトランジスタの前記ゲート電極に接続された第6の金属配線をさらに含む半導体装置を製造する方法であって、前記第6の金属配線は前記第2のトランジスタの前記ゲート電極の真上に前記ゲート電極とはほぼ平行に形成すると共に前記ゲート電極より幅広に形成し、前記第1、第4、ならびに第6の金属配線は、前記第1の層間絶縁膜の上にプラズマエッチングにより同時に形成し、このプラズマエッチングの際に、前記第4の金属配線に蓄積する電荷により前記第4の金属配線の電位を上升させ、前記第2のトランジスタを導通状態にさせて前記第1のトランジスタのゲート電極と前記半導体基板との間の前記絶縁膜の損傷を防止することを特徴とする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】本発明の半導体装置の製造方法では、第1の層間絶縁膜の上に第1および第4の金属配線、さらには第6の金属配線をプラズマエッチングにより形成する際、第1のトランジスタのゲート電極に接続され第1の層間絶縁膜上に延在する第1の金属配線に電荷が蓄積しても、その電荷は第2のトランジスタの作用により逃がすことができる。すなわち、プラズマエッチングの際、電荷は第1の金属配線とともに第4の金属配線にも蓄積する。その結果、第4の金属配線は高電位となり、第2のトランジスタはオンして導通状態になる。これにより、第1のトランジスタのゲート電極は、第2の金属配線、第2のトランジスタ、ならびに第3の金属配線を通じて半導体基板上の基準電位点に接続され、第1の金属配線に蓄積した電荷は基準電位点に逃げる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】よって、本発明の半導体装置の製造方法では、プラズマエッチングにより金属配線に電荷が蓄積しても、第1のトランジスタのゲート電極が高電位となってゲート酸化膜が損傷されたり破壊されることがない。そして、第4の金属配線を第1の金属配線に接近して形成した場合には金属配線間の静電容量により、第1の金属配線が電位を持つと第4の金属配線も電位を持つようになり、第4の金属配線はいっそう高電位になり易く、より確実に第1のトランジスタのゲート酸化膜の損傷などを防止できる。また、第4の金属配線を蛇行させて形成した場合には、第4の金属配線を比較的狭い領域に形成しても、十分な長さとすることができ、プラズマエッチング時に十分な量の電荷を蓄積して第2のトランジスタを導通状態にさせ、第1のトランジスタのゲート酸化膜の損傷などを確実に防止できる。また、本発明では第6の金属配線を幅広に形成するので第2のトランジスタのオン抵抗が小さくなり、第1のトランジスタのゲート酸化膜は確実に損傷などから守られる。そして、第4および第6の金属配線は他のトランジスタや他の金属配線と同一の工程で形成できるので、新たな工程を追加する必要がない。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】

【発明の実施の形態】次に本発明の実施の形態例について図面を参照して説明する。図1の(A)は本発明の製造方法の一例により製造した半導体装置の具体例を示す部分平面図、(B)は同部分断面側面図、図2は図1の半導体装置を示す斜視図である。これらの図面に示したように、本実施の形態例の製造方法により製造した半導体装置52は、P型の半導体基板54上に形成された第1のトランジスタ56および第2のトランジスタ58を含んで構成され、第1および第2のトランジスタ56、58は共にMOS型電界効果トランジスタである。半導体基板54には、素子分離用の酸化膜による絶縁膜106A、106B、106C、106Dが形成されている。そして第1のトランジスタ56は絶縁膜106Aと絶縁膜106Bとの間に形成され、第2のトランジスタ58は絶縁膜106Bと絶縁膜106Cとの間に形成されている。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】そして、本実施の形態例の半導体装置の製

造方法では、このような構成の半導体装置を製造する際、第4の金属配線10は上述のように第1の金属配線12に近接し、かつ第1の金属配線12に対してほぼ平行に形成し、さらに、第1および第4の金属配線12、10は、第3の金属配線11と共に、第1の層間絶縁膜の上にプラズマエッチングにより同時に形成する。このプラズマエッチングの際、第1および第4の金属配線12、10は比較的配線長が長いことから、これらの金属配線にはプラズマにより電荷が蓄積し易く、第1および第4の金属配線12、10の電位が上昇する。したがって、そのままでは第1のトランジスタ56のゲート酸化膜103に高電圧が印加され、ゲート酸化膜103が損傷したり破壊される場合が生じることになる。しかし、本実施の形態例では、第2のトランジスタ58の作用により、第1の金属配線12に蓄積した電荷が半導体基板54に逃がされ、ゲート酸化膜103が保護される。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】次に、本発明の第2の実施の形態例について説明する。図4の(A)は本発明の第2の実施の形態例により製造した半導体装置の一例を示す部分平面図、(B)は同断面側面図、図5は図4の半導体装置を示す斜視図である。図中、図1などと同一の要素には同一の符号が付されており、それらに関する説明はここでは省略する。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】第2の実施の形態例では、第4の金属配線10Bは、第1および第6の金属配線12、3と共にプラズマエッチングにより同時に形成し、その際、第4の金属配線10Bは上述のように第1の層間絶縁膜の上に蛇行して形成する。半導体装置62は、上述のように絶縁膜106Eの上にゲート酸化膜203が形成され、全体として第2のトランジスタ58Bのゲート酸化膜は非常に厚くなっている。したがって、第1の金属配線12などを形成する際のプラズマエッチングによって、第4の金属配線10Bに、より多量の電荷が蓄積し、第2のトランジスタ58Bのゲート電圧が大きく上昇しても、第2のトランジスタ58Bのゲート酸化膜が破壊されることはない。したがって、半導体装置52の場合より第2のトランジスタ58Bのゲート電位が上昇し易い条件に設定することができ、第1の金属配線12に電荷が蓄積した際に第2のトランジスタ58Bを確実に導通状態にさせて、第1のトランジスタ56のゲート酸化膜10

3の損傷や破壊をいっそう充分に防止することが可能となる。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】また、本実施の形態例では、第6の金属配線3を上述のように幅広に形成するので、第6の金属配線3により生成される電界の影響が直下の半導体基板54の箇所に及び易く、第2のトランジスタ58Bがオンした際のオン抵抗が小さくなる。その結果、第1の金属配線12に蓄積した電荷が第2のトランジスタ58Bを通じて流れ易くなり、第1のトランジスタ56のゲート酸化膜103をいっそう確実に保護できる。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】さらに、本実施の形態例では第4の金属配線10Bを上述のように蛇行して形成するので、第4の金属配線10Bを半導体基板54の比較的狭い領域に形成しても、十分な長さとすることができ、プラズマエッチング時に十分な量の電荷を蓄積して、第2のトランジスタ58Bを導通状態にさせることができる。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】

【発明の効果】以上説明したように本発明の半導体装置の製造方法では、第1の層間絶縁膜の上に第1および第4の金属配線、さらには第6の金属配線をプラズマエッチングにより形成する際、第1のトランジスタのゲート電極に接続され第1の層間絶縁膜上に延在する第1の金属配線に電荷が蓄積しても、その電荷は第2のトランジスタの作用により逃がすことができる。すなわち、プラズマエッチングの際、電荷は第1の金属配線とともに第4の金属配線にも蓄積する。その結果、第4の金属配線は高電位となり、第2のトランジスタはオンして導通状態になる。これにより、第1のトランジスタのゲート電極は、第2の金属配線、第2のトランジスタ、ならびに第3の金属配線を通じて半導体基板上の基準電位点に接続され、第1の金属配線に蓄積した電荷は基準電位点に逃げる。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】よって、本発明の半導体装置の製造方法では、プラズマエッチングにより金属配線に電荷が蓄積しても、第1のトランジスタのゲート電極が高電位となってゲート酸化膜が損傷されたり破壊されることがない。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】そして、第4の金属配線を第1の金属配線に接近して形成した場合には金属配線間の静電容量により、第1の金属配線が電位を持つと第4の金属配線も電位を持つようになり、第4の金属配線はいっそう高電位になり易く、より確実に第1のトランジスタのゲート酸化膜の損傷などを防止できる。また、第4の金属配線を蛇行させて形成した場合には、第4の金属配線を比較的狭い領域に形成しても、十分な長さとしてことができ、プラズマエッチング時に十分な量の電荷を蓄積して第2のトランジスタを導通状態にさせ、第1のトランジスタのゲート酸化膜の損傷などを確実に防止できる。また、本発明では第6の金属配線を幅広に形成するので第2のトランジスタのオン抵抗が小さくなり、第1のトランジスタのゲート酸化膜は確実に損傷などから守られる。そして、第4および第6の金属配線は他のトランジスタや他の金属配線と同一の工程で形成できるので、新たな工程を追加する必要がない。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】(A)は本発明の製造方法の実施の形態例により製造した半導体装置の一例を示す部分平面図、(B)は同部分断面側面図である。

【図2】図1の半導体装置を示す斜視図である。

【図3】第1および第4の金属配線周辺の等価回路を示す回路図である。

【図4】(A)は本発明の第2の実施の形態例の製造方法により製造した半導体装置の一例を示す部分平面図、(B)は同部分断面側面図である。

【図5】図4の半導体装置を示す斜視図である。